

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Hiroyuki Takahashi et al.

Application No.: Not Yet Assigned

Confirmation No.:

Filed: Concurrently Herewith

Art Unit: N/A

For: SEMICONDUCTOR MEMORY DEVICE

Examiner: Not Yet Assigned

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENT

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Applicant hereby claims priority under 35 U.S.C. §119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	2003-071510	March 17, 2003

Application No.: Not Yet Assigned

Docket No.: N0029.1651

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: March 12, 2004

Respectfully submitted,

By 

Steven I. Weisburd

Registration No.: 27,409

DICKSTEIN SHAPIRO MORIN &
OSHINSKY LLP

1177 Avenue of the Americas

41st Floor

New York, New York 10036-2714

(212) 835-1400

Attorneys for Applicant

SIW/da



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 1 7 日
Date of Application:

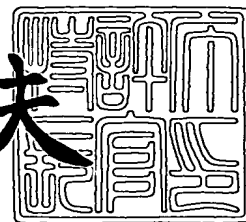
出 願 番 号 特 願 2 0 0 3 - 0 7 1 5 1 0
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 7 1 5 1 0]

出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

2 0 0 3 年 1 2 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 75020006

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/108

【発明の名称】 半導体記憶装置

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 高橋 弘行

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
クトロニクス株式会社内

【氏名】 高橋 寿史

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100081433

【弁理士】

【氏名又は名称】 鈴木 章夫

【手数料の表示】

【予納台帳番号】 007009

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0216537

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

【請求項 1】 1つのメモリセルがデータ蓄積用の容量と、前記容量に各一端が接続された第 1 及び第 2 のスイッチング素子からなり、前記メモリセルに対してワード線、ビット線が接続された半導体記憶装置であって、半導体基板上に形成される複数のメモリセルが互いに直交する方向に延長された前記ワード線及びビット線の各延長方向に対して斜め方向に直線状に延長形成された活性領域内に形成されていることを特徴とする半導体記憶装置。

【請求項 2】 1つのメモリセルがデータ蓄積用の容量と、前記容量に各一端が接続された第 1 及び第 2 のスイッチング素子からなり、前記メモリセルに対してワード線、ビット線が接続された半導体記憶装置であって、半導体基板上に素子分離領域によって区画され、内部に複数のメモリセルを含む活性領域と前記素子分離領域との境界が、隣接するワード線間にわたって実質的に直線であることを特徴とする半導体記憶装置。

【請求項 3】 前記 1つのメモリセルは、前記活性領域内においてデータ蓄積用の容量に接続されるキャパシタコンタクトを挟んで、その両側にそれぞれ第 1 及び第 2 のスイッチング素子が配設され、さらにその両外側に第 1 及び第 2 のビット線コンタクトが配設され、前記第 1 及び第 2 のスイッチング素子上に第 1 及び第 2 のワード線が延在され、前記第 1 及び第 2 のビット線コンタクト上に第 1 及び第 2 のビット線が延在されていることを特徴とする請求項 1 又は 2 に記載の半導体記憶装置。

【請求項 4】 前記活性領域内に形成される複数のメモリセルのうち、前記 1つのメモリセルに隣接する他のメモリセルは、前記第 1 又は第 2 のビット線コンタクトを対称軸として活性領域の長さ方向に線対称となるように前記第 1 及び第 2 のスイッチング素子が配置されていることを特徴とする請求項 3 に記載の半導体記憶装置。

【請求項 5】 半導体基板上に前記活性領域が複数配列されており、各活性領域は前記ワード線及び前記ビット線の各延長方向にそれぞれ所要の間隔をもつ

て配列され、隣接される活性領域は前記 1 つのメモリセルと、前記線対称配置された他のメモリセルの第 1 又は第 2 のビット線コンタクトのいずれかがビット線の延長方向に一致されるようにずれて配置されていることを特徴とする請求項 4 に記載の半導体記憶装置。

【請求項 6】 前記活性領域は、前記キャパシタコンタクトがワード線方向及びビット線方向にほぼ等しい間隔で配置されるように形成されていることを特徴とする請求項 3 ないし 5 のいずれかに記載の半導体記憶装置。

【請求項 7】 複数のメモリセルを備え、1 つのメモリセルがデータ蓄積用の容量と、前記容量に各一端が接続された第 1 及び第 2 のスイッチング素子からなる半導体記憶装置であって、前記第 1 及び第 2 のスイッチング素子をオン、オフ制御する制御端子に対をなす第 1 及び第 2 のワード線が接続され、前記スイッチング素子の他端に対をなす第 1 及び第 2 のビット線が接続されており、前記 1 つのメモリセルの第 1 のスイッチング素子の他端は前記第 1 及び第 2 のワード線とは異なる他のワード線対に接続された他のメモリセルの第 1 のスイッチング素子の他端と共に同一の第 1 のビット線に接続され、前記 1 つのメモリセルの第 2 のスイッチング素子の他端は前記各ワード線とはさらに異なる他のワード線対に接続された他のメモリセルの第 2 のスイッチング素子の他端と共に同一の第 2 のビット線に接続されていることを特徴とする半導体記憶装置。

【請求項 8】 複数のメモリセルを備え、1 つのメモリセルがデータ蓄積用の容量と、前記容量に各一端が接続された第 1 及び第 2 のスイッチング素子からなる半導体記憶装置であって、前記第 1 及び第 2 のスイッチング素子をオン、オフ制御する制御端子に対をなす第 1 及び第 2 のワード線が接続され、前記ビット線に沿って配列された第 1 及び第 2 の 2 つのメモリセルは、第 1 のメモリセルの第 1 のスイッチング素子の他端と第 2 のメモリセルの第 1 のスイッチング素子の他端とが同一の第 1 のビット線に接続され、前記第 1 のメモリセルの第 2 のスイッチング素子の他端と前記第 2 のメモリセルの第 2 のスイッチング素子の他端とがそれぞれ異なる第 2 のビット線に接続されていることを特徴とする半導体記憶装置。

【請求項 9】 前記複数のメモリセルに接続されるワード線を行アドレス信

号に基づいて選択する行デコーダと、前記複数のメモリセルに接続されるビット線を列アドレス信号に基づいて選択する列デコーダとを備え、前記列デコーダは前記行アドレス信号に基づいて、前記第1のメモリセルの第2のスイッチング素子の他端に接続された第2のビット線と、前記第2のメモリセルの第2のスイッチング素子の他端に接続された異なる第2のビット線のいずれか一方を選択可能にする構成であることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記第1のワード線を選択する第1の行デコーダと、前記第2のワード線を選択する第2の行デコーダと、前記第1のビット線を選択する第1の列デコーダと、前記第2のビット線を選択する第2の列デコーダとを備え、前記第2の列デコーダは、前記第2の行デコーダに入力される行アドレス信号の一部のビット信号を入力し、この一部のビット信号と列アドレス信号とで前記第2のビット線を選択することを特徴とする請求項9に記載の半導体記憶装置。

【請求項11】 前記ビット信号は前記行アドレス信号の最下位ビット信号であり、前記第2の列デコーダは前記最下位ビット信号の値に基づいて前記第1のメモリセルの第2のスイッチング素子に接続された第2のビット線と前記第2のメモリセルの第2のスイッチング素子に接続された異なる第2のビット線のいずれかを選択することを特徴とする請求項10に記載の半導体記憶装置。

【請求項12】 前記第1のワード線を選択する第1の行デコーダと、前記第2のワード線を選択する第2の行デコーダと、前記第1のビット線を選択する第1の列デコーダとを備え、前記第2のビット線は一括して選択されるリフレッシュ専用のビット線として構成されることを特徴とする請求項8に記載の半導体記憶装置。

【請求項13】 前記第1及び第2のスイッチング素子はMOSトランジスタで構成され、前記ワード線は当該MOSトランジスタのゲートとして構成されていることを特徴とする請求項1ないし12のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は1つのデータ蓄積用の容量と、この容量に接続された2つのスイッチング素子とで構成されるメモリセルを備える半導体記憶装置に関するものである。

【0002】

【従来の技術】

DRAM（ダイナミック・ランダム・アクセス・メモリ）のメモリセルとして、1つのデータ蓄積用の容量（キャパシタ）と、この容量に接続された1つのスイッチング素子（トランジスタ）で構成された1トランジスタ1キャパシタメモリセルと称するメモリセルが知られている。この1トランジスタ1キャパシタメモリセルは、1つのトランジスタでデータの書き込み、読み出しを行う一方で、同じトランジスタを用いて周期的なリフレッシュを行うため、少なくともリフレッシュを行っている間は同一ビット線上の全てのメモリセルに対するデータの書き込み、読み出し等のアクセスを行うことができず、メモリにおけるアクセスの高速化を図ることは困難である。

【0003】

このような1トランジスタ1キャパシタメモリセルに対し、1つの容量に対して2つのスイッチング素子（トランジスタ）を接続した2トランジスタ1キャパシタメモリセルが提案され、アクセスの高速化が図られている。例えば、特許文献1には、図10に示すように、1つのキャパシタCに第1及び第2の2つのMOSトランジスタ T_{r1} 、 T_{r2} の各ドレインが接続され、各トランジスタの各ソースには第1のビット線 B_1 、第2のビット線 B_2 が接続されている。また、第1及び第2のMOSトランジスタ T_{r1} 、 T_{r2} の各ゲートにそれぞれ第1、第2のワード線 W_1 、 W_2 が接続されている。このような2トランジスタ1キャパシタメモリセルMでは、第1及び第2のMOSトランジスタ T_{r1} 、 T_{r2} のいずれか一方をデータの書き込み用とし、他方をデータの読み出し用とすれば、同一ビット線上の異なるメモリセルに対してデータの書き込みと読み出しを同じタイミングで行うことができる。あるいは、第1及び第2のMOSトランジスタのいずれか一方をデータの書き込み・読み出し用とし、他方をリフレッシュ用とすれば、同一ビット線上の異なるメモリセルに対してデータの書き込み・読み出

しとリフレッシュを同じタイミングで行うことができる。これにより、メモリセルに対するアクセスの高速化を図ることが可能になる。

【0004】

【特許文献1】

特開 2000-124331 号公報

【0005】

この2トランジスタ1キャパシタメモリセルを実現するために、特許文献1には、例えば図11に示すような半導体基板上のレイアウト構造が採用されている。このレイアウト構造では、互いに直交されるワード線とビット線のそれぞれに対して一つのメモリセルMを構成する活性領域DAが斜め方向に延長され、この活性領域DA内において第1及び第2のワード線W1, W2で第1及び第2のMOSトランジスタTr1, Tr2が構成されるとともに、各MOSトランジスタTr1, Tr2はビット線コンタクトBCを介して第1と第2のビット線B1, B2に接続される。なお、本明細書において活性領域とは半導体基板に設けられた素子分離領域によって囲まれてメモリセルを構成するための拡散層及び拡散層に挟まれるチャンネル領域が形成されている領域を意味している。また、第1及び第2のMOSトランジスタTr1, Tr2の共通する拡散層にキャパシタに接続するキャパシタコンタクトCCが配設される。そして、ビット線方向に配列される複数のメモリセルがそれぞれ第1及び第2のビット線B1, B2に等しい状態で接続されるように、隣接するメモリセルの各活性領域DAが互いに連続された状態でつづら折り状をしたパターン形状に形成されている。

【0006】

あるいは、ここでは図示は省略するが、特許文献1中の図1に記載のように、活性領域を例えばクランク状のような屈曲部を有する異形状とし、屈曲された部分においてビット線に接続する構成、あるいは特許文献1中の図8に記載のように、ビット線に沿って配列される複数のメモリセルの拡散層をビット線と平行な方向に延長される直線形状に形成する一方で、第1及び第2のビット線からそれぞれ支線を突出させて各メモリセルのMOSトランジスタに接続し、あるいは第1及び第2のビット線をたすき掛け状のパターンにして各メモリセルのMOSト

ランジスタに接続する構成のものも提案されている。

【0007】

【発明が解決しようとする課題】

図11に示したレイアウト構造では、活性領域DAがつづら折り状をしているために、活性領域のパターン外縁に多数の屈曲部Xが生じることは避けられず、フォトリソグラフィ技術を用いて半導体基板に活性領域を形成したときに屈曲部Xにおける活性領域DAの形状が崩れ易く、設計通りの形状の活性領域を形成することが困難になるとともに、当該形状が崩れた部分において半導体基板にストレスが発生し易くなる。特に、活性領域の角部が丸くなってしまい、この部分で活性領域の幅寸法が低減してしまう。このような活性領域の形状の崩れが生じると活性領域に形成される活性層の形状も崩れることになり、目的としたゲート幅が得られなくなり、またストレスによって活性領域内の拡散層と半導体基板との境界部における接合での電氣的なリークのばらつきが生じる等、結果としてMOSトランジスタの性能低下、さらにはメモリセルのデータ保持特性の劣化等の要因となる。このため、従来では活性領域の形状の崩れやストレス等を考慮してある程度のマージンをもって活性領域を設計する必要がある、活性領域の微細化、すなわちメモリセルを微細化する上での障害になる。

【0008】

また、特許文献1中の図1に記載のレイアウト構造では、活性領域に屈曲部が生じている点で前述したレイアウト構造と同じ問題がある。一方、特許文献1中の図8に記載のレイアウト構造では、活性領域に屈曲部が生じていないため、屈曲に伴う問題は解消されるものの、ビット線から延長される支線をビット線に形成しなければならず、この支線における形状の崩れによるコンタクト不良やマージンの確保等の問題が生じることになり、結果としてメモリセルを微細化する上での障害になることは避けられない。

【0009】

さらに、図11に示したレイアウト構造では、隣接するメモリセルの各キャパシタコンタクトCCがワード線方向に比較してビット線方向の間隔が狭くなるため、データの蓄積容量を増大すべくMOSトランジスタの上層に形成するキャパ

シタの平面面積を大きくしようとした際にキャパシタの平面形状を単純に1辺の大きな矩形形状とすることができず、その結果キャパシタの平面形状が複雑なものとなり、キャパシタの製造が困難なものになるという問題もある。

【0010】

本発明の目的は、メモリセルの微細化を図るとともに、メモリセルのデータ保持特性の改善を図った半導体記憶装置を提供するものである。

【0011】

本発明の半導体記憶装置は、1つのメモリセルがデータ蓄積用の容量と、当該容量に各一端が接続された第1及び第2のスイッチング素子からなり、当該メモリセルに対してワード線、ビット線が接続された半導体記憶装置であって、半導体基板上に形成される複数のメモリセルが互いに直交する方向に延長されたワード線及びビット線の各延長方向に対して斜め方向に直線状に延長された活性領域内に形成される構成とする。あるいは、半導体基板上に素子分離領域によって区画され、内部に複数のメモリセルを含む活性領域と当該素子分離領域との境界が、隣接するワード線間にわたって実質的に直線である構成とする。

【0012】

特に、1つのメモリセルは、活性域内においてデータ蓄積用の容量に接続されるキャパシタコンタクトを中心にして、その両側にそれぞれ第1及び第2のスイッチング素子が配設され、さらにその両外側に第1及び第2のビット線コンタクトが配設され、第1及び第2のスイッチング素子上に第1及び第2のワード線が延在され、第1及び第2のビット線コンタクト上に第1及び第2のビット線が延在される構成とする。さらに、活性領域内に形成される複数のメモリセルのうち、1つのメモリセルに隣接する他のメモリセルは、第1又は第2のビット線コンタクトを対称軸として活性領域の長さ方向に線対称となるように第1及び第2のスイッチング素子が配置される構成とする。この場合、半導体基板上に配列された複数の活性領域は、ワード線及びビット線の各延長方向にそれぞれ所要の間隔をもって配列され、隣接される活性領域は1つのメモリセルと隣接される他のメモリセルの第1又は第2のビット線コンタクトのいずれかがビット線の延長方向に一致するようにずれて配置される。

【0013】

本発明の半導体記憶装置によれば、複数のメモリセルを構成する活性領域に屈曲部が生じることがなく、あるいは屈曲部を低減することができ、屈曲部が要因となるメモリセルの特性劣化を防止し、メモリセルの微細化を図るとともに、メモリセルのデータ保持特性の改善を図ることが可能になる。

【0014】

また、本発明は、複数のメモリセルを備え、1つのメモリセルがデータ蓄積用の容量と、当該容量に各一端が接続された第1及び第2のスイッチング素子からなる半導体記憶装置であって、第1及び第2のスイッチング素子をオン、オフ制御する制御端子に対をなす第1及び第2のワード線が接続され、各スイッチング素子の他端に対をなす第1及び第2のビット線が接続されており、1つのメモリセルの第1のスイッチング素子の他端は第1及び第2のワード線とは異なる他のワード線対に接続された他のメモリセルの第1のスイッチング素子の他端と共に同一の第1のビット線に接続され、1つのメモリセルの第2のスイッチング素子の他端は前記各ワード線とはさらに異なる他のワード線対に接続された他のメモリセルの第2のスイッチング素子の他端と共に同一の第2のビット線に接続されている構成とする。

【0015】

ここで、好ましい形態としては、第1及び第2のスイッチング素子をオン、オフ制御する制御端子に対をなす第1及び第2のワード線が接続され、ビット線に沿って配列された第1及び第2の2つのメモリセルは、第1のメモリセルの第1のスイッチング素子の他端と第2のメモリセルの第1のスイッチング素子の他端とが同一の第1のビット線に接続され、第1のメモリセルの第2のスイッチング素子の他端と、第2のメモリセルの第2のスイッチング素子の他端とがそれぞれ異なる第2のビット線に接続される構成とする。

【0016】

かかる本発明の半導体記憶装置では、第1のワード線を選択する第1の行デコーダと、第2のワード線を選択する第2の行デコーダと、第1のビット線を選択する第1の列デコーダと、第2のビット線を選択する第2の列デコーダとを備え

た構成としたときに、第2の列デコーダは第2の行デコーダに入力される行アドレス信号の一部のビット信号を入力し、この一部のビット信号と列アドレス信号とで第2のビット線を選択する構成とすることが好ましく、これによりビット線方向に配列される複数のメモリセルの各第2のスイッチング素子が同一の第2のビット線に接続されない場合でも各メモリセルに対するデータの書き込み、読み出し、ないしリフレッシュが実現可能になる。

【0017】

あるいは、本発明の半導体記憶装置では、第1のワード線を選択する第1の行デコーダと、第2のワード線を選択する第2の行デコーダと、第1のビット線を選択する第1の列デコーダとを備え、第2のビット線は一括して選択されるリフレッシュ専用のビット線として構成される構成としてもよく、列デコーダを削減することが可能になる。

【0018】

【発明の実施の形態】

次に、本発明の実施形態を図面を参照して説明する。図1は本発明の第1の実施形態の半導体記憶装置の回路図である。メモリセルアレイMCAを構成している複数のメモリセルMはそれぞれ1キャパシタ2トランジスタの構成とされており、各メモリセルは第1のワード線W1 (W11～W1n) 及び第2のワード線W2 (W21～W2n) と第1のビット線B1 (B11～B1m) 及び第2のビット線B2 (B21～B2m) にそれぞれ接続されている。すなわち、複数本のワード線は隣接する2本が第1のワード線、第2のワード線として対を成しており、第1のワード線W1はそれぞれ第1のXデコーダ(行デコーダ)XDEC1に接続され、第2のワード線W2はそれぞれ第2のXデコーダXDEC2に接続されている。また、第1のビット線B1と第2のビット線B2はワード線の延長方向(以下、行方向と称する)に交互に配列されて前記各メモリセルMに接続されており、第1のビット線B1は第1センスアンプ・プリチャージ回路SP1を介して第1のYデコーダ(列デコーダ)YDEC1に接続され、第2のビット線B2は第2センスアンプ・プリチャージ回路SP2を介して第2のYデコーダYDEC2に接続されている。

【0019】

前記メモリセルMは前述のように1キャパシタ2トランジスタの構成とされており、データを蓄積する1つのキャパシタCに第1及び第2のスイッチング素子としての第1のMOSトランジスタ T_{r1} と第2のMOSトランジスタ T_{r2} の各ドレインが接続されている。また、各メモリセルにおいて、第1のMOSトランジスタ T_{r1} のゲートは第1のワード線 $W1$ に、第2のMOSトランジスタ T_{r2} のゲートは第2のワード線 $W2$ にそれぞれ接続され、さらに第1のMOSトランジスタ T_{r1} のソースは第1のビット線 $B1$ に、第2のMOSトランジスタ T_{r2} のソースは第2のビット線 $B2$ に接続されている。ここで、各メモリセルにおいては、第1又は第2のトランジスタの一方は一方側に隣接されるメモリセルの第1又は第2のトランジスタと同じビット線に接続されるが、第1又は第2のトランジスタの他方は反対側に隣接されるメモリセルの第1又は第2のトランジスタと同じビット線に接続されている。

【0020】

例えば、図1における第NのメモリセルMNについてみると、当該第NのメモリセルMNの第1のMOSトランジスタ T_{r1} のソースは第1のビット線 $B12$ に接続され、第2のMOSトランジスタ T_{r2} のソースは第2のビット線 $B23$ に接続されている。また、当該第NのメモリセルMNの一方に隣接する第N+1のメモリセルMN+1では、第1のMOSトランジスタ T_{r1} のソースは同じ第1のビット線 $B12$ に接続されているが、第2のMOSトランジスタ T_{r2} のソースは前記とは異なる第2のビット線 $B22$ に接続されている。同様に、前記メモリセルMNの他方に隣接する第N-1のメモリセルMN-1では、第2のMOSトランジスタ T_{r2} のソースは第2のビット線 $B23$ に接続されているが、第1のMOSトランジスタ T_{r1} のソースは異なる第1のビット線 $B1m$ に接続されている。さらに、前記第NのメモリセルNMとは隣接する活性領域に形成される第N-2のメモリセルMN-2は、第N+1のメモリセルと同様に第1のMOSトランジスタ T_{r1} のソースは第NのメモリセルMNと同じ第1のビット線 $B12$ に接続されているが、第2のMOSトランジスタ T_{r2} のソースは前記とは異なる第2のビット線 $B22$ に接続されている。

【0021】

前記第1のXデコーダXDEC1、第2のデコーダXDEC2にはそれぞれ行アドレス信号XAdが入力され、それぞれ第1及び第2のワード線W1、W2を選択する。また、センスアンプ・フリチャージ回路SP1、SP2にはバスラインBUS1、BUS2及びセンスアンプSAを活性化するためのイネーブル信号ラインSE1、SE2及び第1及び第2のYデコーダYDEC1、YDEC2からのアドレス信号YAdが入力され前記第1及び第2のビット線B1、B2を選択する。ここで、前記第2のYデコーダYDEC2では、第2のXデコーダXDEC2に入力される行アドレス信号XAdの最下位ビットを列アドレス信号の一部ビットとして取り込んでおり、この最下位ビットを第2のビット線B2を選択する各アンドゲートの1つの入力端に対し、行方向に1つ置きに相反的に入力させる構成とすることで、行アドレス信号が漸増、あるいは漸減するのに伴って第2のビット線B2を行方向に1つ置きのグループとして交番的に選択するように構成している。ここでは、行方向に1つおきのアンドゲートの1つの入力端に反転ゲートを接続している。

【0022】

図2は図1に示した半導体記憶装置を半導体基板に形成したメモタセルアレイMCAの全体構成のレイアウト図である。なお、以降の説明の便宜上、図2において左右方向を行方向、これと垂直な上下方向を列方向と称する。半導体基板100に素子分離領域101が形成されており、この素子分離領域101で囲まれた素子形成領域が活性領域102として構成されている。前記素子分離領域101としては、半導体基板の表面に形成した浅い溝内にシリコン酸化膜を埋設したSTIが採用されている。前記活性領域102は行方向及び列方向のそれぞれに対して傾斜した所要幅の直線帯状をしたパターン形状に形成されており、このパターン形状をした複数の活性領域102が前記半導体基板100上において行方向（又は列方向）に所要の間隔をおいて配列されている。

【0023】

前記活性領域102は、メモタセルアレイMCAを構成する半導体基板の所要領域にわたって可能な限り長く形成されている。後述するように各活性領域10

2にはその長さ方向にわたって複数個のメモリセルが直列状態に配列されており、その上で個々のメモリセル上に行方向に延長される第1及び第2のワード線W1, W2が配列順序を交互に反対にした状態で延在され、また同じメモリセル上の上層に列方向に延長される第1及び第2のビット線B1, B2が交互に延在されている。

【0024】

図3は図2のメモリセルアレイMCAの一部を拡大した図であり、図1に示したメモリセルMNの近傍を拡大した図である。1つのメモリセルMNは活性領域102の長さ方向にドレイン領域を共通した第1のMOSトランジスタTr1と第2のMOSトランジスタTr2が配列されており、この共通するドレイン領域にキャパシタコンタクト111が形成されている。また、前記両MOSトランジスタTr1, Tr2の両外側には前記ドレイン領域に対してチャネル領域を挟んでそれぞれのソース領域が形成されており、これらのソース領域にビット線コンタクト121, 122が形成されている。そして、前記メモリセルMNに対しては対を成す第1のワード線W12、第2のワード線W22がそれぞれ前記第1のMOSトランジスタTr1、第2のMOSトランジスタTr2上に延長されている。また、前記キャパシタコンタクト111には後述するキャパシタが接続され、前記第1及び第2のビット線コンタクト121, 122には第1及び第2のビット線B12, B23が接続されている。

【0025】

また、同じ活性領域102において前記1つのメモリセルMNと長さ方向に隣接する他のメモリセルMN-1, MN+1もそれぞれ同様に第1及び第2のMOSトランジスタTr1, Tr2を備えているが、当該1つのメモリセルMNとは第1及び第2のMOSトランジスタの配列方向が反対方向に向けられており、両メモリセルの境界、すなわちビット線コンタクト121, 122が配置される箇所を対称軸とした線対称の配置とされている。そのため、当該1つのメモリセルMNと隣接する他のメモリセルMN-1, MN+1のそれぞれ隣接される第1のMOSトランジスタTr1又は第2のMOSトランジスタTr2の各ソース領域は共通化されており、各ソース領域上のビット線コンタクト121, 122も共

通化されている。

【0026】

したがって、隣接するメモリセルにおいて、各メモリセル上に延在される第1及び第2のワード線W1、W2はその配列順序が隣接するメモリセルにおいて互いに逆となるように、すなわち隣接するメモリセルのワード線対では、第1のワード線W1あるいは第2のワード線W2同士が隣接するように配置されている。また、第1のビット線B1又は第2のビット線B2は隣接するメモリセルの第1のMOSトランジスタTr1又は第2のMOSトランジスタTr2で共通に接続されることになる。

【0027】

さらに、前記半導体基板100上に配列されている複数の活性領域102は、前記ワード線及び前記ビット線の各延長方向にそれぞれ所要の間隔をもって配列されており、しかも隣接される活性領域102は1つのメモリセルMNと、この1つのメモリセルとは線対称構造をした他のメモリセルMN-2の第1又は第2のビット線コンタクト121、122のいずれか一方がビット線の延長方向に同一線上で一致するようにずれて配置されている。図3の例ではメモリセルMNとメモリセルMN-2の各第1のビット線コンタクト121が同一の第1のビット線B12の上に配置されるように両メモリセルMN、MN-2がずれて配置されている。これにより、隣接する活性領域102では各メモリセルの第1及び第2のMOSトランジスタTr1、Tr2は同じ行方向の直線上に配置されることになり、複数の活性領域の各メモリセルにわたって延在される前記第1及び第2のワード線W1、W2は各メモリセルにおいてそれぞれ第1及び第2のMOSトランジスタTr1、Tr2上に延在される。その一方で、複数の活性領域の各メモリセルにわたって延在される前記第1及び第2のビット線B1、B2は、1のメモリセルと、これに隣接する当該1のメモリセルとは対称配置されたメモリセルの各第1又は第2のビット線コンタクト121、122に接続されることになる。

【0028】

次に前記活性領域102に形成されたメモリセルMの構成について説明する。

図4及び図5はそれぞれ図3のA-A線、B-B線に沿う断面図であり、前記半導体基板100は一導電型（ここではP型）のエピタキシャル層104を有しており、このエピタキシャル層104が前記STI等の素子分離領域101によって分離されて活性領域102が形成されている。この活性領域102の表面にはゲート絶縁膜105として熱シリコン酸化膜が形成されており、このゲート絶縁膜上にポリシリコンからなる第1及び第2のワード線W1（W12, W13）, W2（W21, W22, W23）が列方向に所要の間隔をおいて行方向に延長形成されている。前記第1及び第2のワード線W1, W2は配列された複数の活性領域にわたって連続した状態で延長されていることは前述の通りである。そして、これら第1及び第2のワード線によって前記活性領域102では各ワード線の直下がチャネル領域とされた第1及び第2のMOSトランジスタTr1, Tr2が構成される。そして、第1及び第2のワード線によって囲まれる領域が第1及び第2のMOSトランジスタの共通ドレイン領域dとして形成され、第1及び第2のワード線W1, W2の各外側領域が第1及び第2のMOSトランジスタTr1, Tr2の各ソース領域sとして構成されることになる。

【0029】

前記ワード線W1, W2上には層間絶縁膜106が形成されており、この層間絶縁膜106には前記第1及び第2のMOSトランジスタTr1, Tr2の各ソース領域sに接続されるビット線コンタクト121, 122が形成される。これらのビット線コンタクト121, 122はそれぞれ層間絶縁膜106に開口したコンタクトホール内に導電材料を埋設した導電プラグとして形成されている。

【0030】

前記層間絶縁膜106上には前記ビット線コンタクト121, 122に接続される複数の第1及び第2のビット線B1（B12）, B2（B23）が行方向に所要の間隔をおいて各ワード線W1, W2と直交する列方向に延長形成されており、各ビット線コンタクト121, 122を介してそれぞれソース領域sに接続されている。これらのビット線は第1のビット線B1と第2のビット線B2がそれぞれ行方向に交互に配置されており、また隣接する活性領域102では各メモリセルMが前述のようにずれて配置されていることで、いずれの活性領域102

のメモリセルに対しても第1のビット線B1は第1のMOSトランジスタTr1のソース領域に接続されるが、第2のビット線B2は第2のMOSトランジスタTr2のソース領域に接続されることになる。

【0031】

前記層間絶縁膜106上には第2層間絶縁膜107が形成されており、この第2層間絶縁膜107には前記第1及び第2のMOSトランジスタTr1, Tr2で共通のドレイン領域dに接続されるキャパシタコンタクト111が形成されている。そして、前記第2の層間絶縁膜107上には当該キャパシタコンタクト111に接続されるシリンダ状のキャパシタ下部電極112が形成されており、当該キャパシタコンタクト111を介して前記共通ドレイン領域dに接続されている。前記キャパシタ下部電極112の表面上にはキャパシタ絶縁膜113が形成され、このキャパシタ絶縁膜113上には複数のキャパシタに共通するキャパシタ上部電極を構成するキャパシタ共通電極114が形成されている。したがって、これらキャパシタ下部電極112, キャパシタ絶縁膜113, キャパシタ共通電極114で図1に示したキャパシタCが構成されることになる。

【0032】

なお、前述したように、活性領域102の長さ方向の寸法はメモリセルアレイMCAの全領域にわたって個々のメモリセルMの長さよりも十分に長く形成されているため、1つの連続した活性領域102内には長さ方向にわたって複数のメモリセルがそれぞれ第1及び第2のMOSトランジスタの配列順序を逆にした状態で配列形成されることになる。また、当該活性領域102の長さ方向に隣接されるメモリセルでは、それぞれの第1のMOSトランジスタTr1または第2のMOSトランジスタTr2が隣接するように並んで形成され、これらの隣接するMOSトランジスタのソース領域は両メモリセルに共通のソース領域として構成され、ビット線コンタクトが121, 122が配設されることになる。

【0033】

このようなレイアウト構造により、図1に示した回路構成の半導体記憶装置のメモリセル及びメモリセルアレイが構成されることになる。特に、このメモリセルアレイMCAでは、行方向及び列方向に配列されるメモリセルについて、行方

向については対をなす第1及び第2のワード線W1, W2に対して各メモリセルの第1及び第2のMOSトランジスタTr1, Tr2が並列状態に接続されているが、列方向については各メモリセルの第1及び第2のMOSトランジスタTr1, Tr2は交互に異なる第1及び第2のビット線B1, B2に接続された構成となることは図1において説明した通りである。

【0034】

この半導体記憶装置によれば、図1を参照すると、各メモリセルMにおいて、第1のMOSトランジスタTr1を例えば書き込み用スイッチング素子とし、第2のMOSトランジスタTr2を読み出し／リフレッシュ用スイッチング素子とする。各メモリセルMに対してデータを書き込むときには、第1のXデコーダXDEC1に入力される行アドレス信号XAdで対象メモリセルに接続される第1のワード線W1を選択する。また、第1のYデコーダYDEC1に入力される列アドレス信号YAdで対象メモリセルに接続される第1のビット線B1を選択する。これにより、対象メモリセルの第1のMOSトランジスタTr1がオンとなり、当該対象メモリセルMのキャパシタCが第1のビット線B1につながり、バスラインBUS1からのデータが第1のセンスアンプ・プリチャージ回路SP1を通して対象メモリセルMのキャパシタCに蓄積され、書き込みが行われる。

【0035】

例えば、図6(a)に示すように、第1のXデコーダXDEC1に入力される行アドレス信号XAdにより第1のワード線W11, W12, W13を順次選択して行くとともに、第1のYデコーダYDEC1に入力される列アドレス信号YAdにより第1のビット線B12を選択すると、メモリセルMN-2, MN, MN+1が順次選択され、各メモリセルの第1のMOSトランジスタTr1がオンされるため、第1のビット線B12を通して各メモリセルのキャパシタCにデータを書き込むことが可能になる。

【0036】

一方、メモリセルMに記録されたデータを読み出すときには、第2のXデコーダXDEC2に入力される行アドレス信号XAdで第2のワード線W2を選択

し、第2のYデコーダYDEC2に入力される列アドレス信号YAddで第2のビット線B2を選択し、これらで選択されたメモリセルの第2のMOSトランジスタTr2をオンしてキャパシタCを第2のビット線B2に接続し、第2のセンスアンプ・プリチャージ回路SP2によってバスラインBUS2にデータを読み出す。また、同様にしてリフレッシュを行なう。

【0037】

このとき、行アドレス信号XAddのアドレスが順次増加、あるいは減少して行くと、選択されたメモリセルMの第2のトランジスタTr2に接続されている第2のビット線B2は順次変化されることになる。しかしながら、第2のYデコーダYDEC2にはその最下位ビットに行アドレス信号XAddの最下位ビットが入力されているので、行アドレス信号XAddが偶数の場合と奇数の場合とで第2のビット線B2は行アドレス信号XAddのアドレスの増加、又は減少に伴って1つおきに交互に選択されることになる。

【0038】

例えば、図6(b)を参照すると、第2のXデコーダXDEC2に入力される行アドレス信号XAddにより第2のワード線W21, W32, W33を順次選択して行くとともに、第2のYデコーダYDEC2に入力される列アドレス信号YAddにより第2のビット線B22を選択しようとする、行アドレス信号XAddの最下位ビットが列アドレス信号YAddの最下位ビットとしてセンスアンプ・プリチャージ回路SP2の各センスアンプに入力されるため、これらの隣接するセンスアンプは最下位ビットが奇数「1」の場合と偶数「0」の場合とで交互に活性、非活性が変化される。

【0039】

そのため、第2のワード線W21によってメモリセルMN-2が選択されていた場合には第2のビット線B22が選択されることになる。次いで、次の行アドレスの第2のワード線W22によってメモリセルMNが選択されると、行アドレス信号XAddの最下位ビットが反転されるため、これに伴って第2のYデコーダYDEC2では隣の第2のビット線B23が選択されることになる。さらに、次の行アドレス信号XAddにより対象メモリセルはMN+1となり、第2のワ

ード線B23が選択されると、再び行アドレス信号XAddの最下位ビットが反転して元に戻されるため、これに伴って第2のYデコーダYDEC2では最初の第2のビット線B22が選択されることになる。

【0040】

このようにすることで、第1のビット線B1に沿って列方向に配列された複数のメモリセルは、ワード線の行アドレスの増減に伴って当該メモリセルを挟む2本の第2のビット線B2のいずれかが選択されることになり、列方向に配列された複数のメモリセルのそれぞれの第2のMOSトランジスタに接続されている第2のビット線B2が第2の列デコーダYDEC2に接続され、当該メモリセルに対するアクセスが可能になる。したがって、選択された第2のビット線B2を通して第2のセンスアンプ・プリチャージ回路SP2により対象となるメモリセルからのデータの読み出しが可能となる。なお、リフレッシュについても同様である。

【0041】

以上のように、本発明の半導体記憶装置では、半導体基板100に形成するメモリセルの活性領域102を直線帯状に形成することで図1に示したメモリセルアレイMCAが構成でき、当該メモリセルアレイMCAの個々のメモリセルMに対するデータの書き込み及び読み出し、ないしはリフレッシュが可能になる。したがって、このメモリセルアレイMCAでは、アクセスに際してのデータの書き込みアドレスと、読み出し／リフレッシュのアドレスとが一致しない限りデータの書き込み動作と、読み出し／リフレッシュ動作を同時に行うことが可能であり、これまで提案されている1キャパシタ2トランジスタのメモリセル構成の半導体記憶装置と同様に高速動作が可能とされることは言うまでもない。

【0042】

また、本発明においては、第2の実施形態として、各メモリセルの第1のMOSトランジスタTr1を書き込み／読み出し用スイッチング素子とし、第2のMOSトランジスタTr2をリフレッシュ専用スイッチング素子として構成することも可能である。この場合には、図7に示すように、デコーダとしては第1のXデコーダXDEC1と第2のXデコーダXDEC2と、第1のYデコーダYDE

C1のみを設ければよく、第1の実施形態のような第2のYデコーダYDEC2は不要となる。そのため第1のビット線B1には前記第1のYデコーダYDEC1と共に第1のセンスアンプ・プリチャージ回路SP1を接続し、第2のビット線B2には第2のセンスアンプ・プリチャージ回路SP2のみを接続する。したがって、ここでは第1の実施形態のように、第2のXデコーダXDEC2に入力される行アドレス信号XAdの最下位ビットを取り出して第2のYデコーダに入力させる構成がとられることもない。

【0043】

この実施形態では、第1のXデコーダXDEC1に入力される行アドレス信号XAdと、第1のYデコーダYDEC1に入力される列アドレス信号YAdとでメモリセルを選択し、データの書き込み、読み出しを行う。このときのアクセス動作は図6(a)に示したと同様である。一方、リフレッシュを行う際には、第2のセンスアンプ・プリチャージ回路SP2により第2のビット線B2につながる全てのセンスアンプを活性状態とし、その上で第2のXデコーダXDEC2に入力される行アドレス信号YAdにより第2のワード線W2を順次選択する。例えば、第2のワード線W21, W22, W23を順次選択することでメモリセルMN-2, MN, MN+1を順次選択し、各メモリセルの第2のMOSトランジスタTr2をオンしてそれぞれのリフレッシュを行うことが可能になる。このようにすることで、半導体記憶装置の構成の簡略化が実現できる。

【0044】

また、本発明の半導体記憶装置では、半導体基板100に形成する複数のメモリセルを1つの直線帯状をしたパターン形状の活性領域102で形成しているため、複数のメモリセルにわたって活性領域における屈曲部が極めて少ないものとなる。図11に示した従来の活性領域のパターン形状では、1つのメモリセルを斜めパターン形状に形成しているが、これに連続される他のメモリセルは逆の方向に向けられた斜めパターン形状に形成しているため、複数のメモリセルについてみれば従来技術は屈曲したつづら折り状のパターンとなっており、連続した活性領域に屈曲部が発生し、この屈曲部においてフォトリソグラフィ技術による形状の崩れが発生して活性領域内の拡散層に所要の幅寸法が得られず、あるいはス

トレスが発生して電氣的なリークのばらつきが生じ、さらに、形状の崩れに伴うマージン確保が必須とされていたことは前述の通りである。しかしながら、本実施形態では複数のメモリセルにわたって活性領域 1 0 2 に屈曲部が全く生じていないため、屈曲部が要因とされる従来のような問題が発生することはなく、MOS トランジスタの性能の向上、すなわちメモリセルのデータ保持特性を改善することができるとともに、メモリセルを微細化することが可能になる。

【 0 0 4 5 】

一方、本実施形態では、メモリセルを構成する活性領域を行方向及び列方向に斜めのパターン形状にしているのにもかかわらず、ワード線及びビット線を行方向、列方向に真直に形成することが可能であり、特許文献 1 中の図 8 に記載のレイアウト構造のように、ビット線をメモリセルに接続するためのビット線から延長される支線をビット線に形成する必要もなく、この支線における形状の崩れによるコンタクト不良やマージンクの確保等の問題が回避でき、またメモリセルを微細化する上でも有利になる。

【 0 0 4 6 】

さらに、本発明では、隣接する活性領域 1 0 2 を所要の間隔で行方向及び列方向にずらしているので、図 8 に示すように、各メモリセル M のキャパシタコンタクト 1 1 1 はそれぞれ行方向及び列方向のそれぞれについてほぼ同じ間隔で配置されることになる。そのため、キャパシタコンタクト 1 1 1 上に形成されるキャパシタ C、すなわちキャパシタ下部電極 1 1 2 の平面形状を単純な矩形に設計した場合でも個々のキャパシタにおける蓄積容量を可及的に大きなものにでき、キャパシタの設計、製造を容易に行うことも可能になる。

【 0 0 4 7 】

ここで、前記実施形態では複数の活性領域はメモリセルアレイの全体に渡って一方向に傾斜したパターンに形成しているが、図 9 に示す活性領域 1 0 2 A のように、メモリセルアレイ M C A の周辺部においてはつづら折り状に曲げ形成したパターン形状としてもよい。このようにした場合には、屈曲部が発生する点で特許文献 1 の構成と一部において共通することになるが、本発明においては、活性領域が直線状に連続されている領域に複数のメモリセルが配列されるものである

ことから、1つのメモリセル毎に活性領域が屈曲されている従来の図11の構成よりも全体としての屈曲部を低減することが可能であり、屈曲部が要因とされる問題を解消する上で有利であることは言うまでもない。

【0048】

また、前記実施形態では、1つのメモリセルの第1のMOSトランジスタをデータの書き込み、或いは書き込み／読み出しに用い、第2のMOSトランジスタを読み出し、あるいはリフレッシュ専用に使っているが、第1及び第2のMOSトランジスタをどのようなスイッチング素子として用いるかは自由であり、任意に設計することが可能である。

【0049】

【発明の効果】

以上説明したように本発明は、データ蓄積用の容量と第1及び第2のスイッチング素子で構成されているメモリセルを半導体基板上にメモリセルアレイとして構成するレイアウト構造として、互いに直交する方向に延長されたワード線及びビット線の各延長方向に対して斜め方向に直線状に延長された活性領域内に複数のメモリセルを形成しているので、活性領域に屈曲部が生じることがなく、あるいは屈曲部を低減することができ、屈曲部が要因となるメモリセルの特性劣化を防止し、メモリセルの微細化を図るとともに、メモリセルのデータ保持特性の改善を図ることが可能になる。

【図面の簡単な説明】

【図1】

本発明の半導体記憶装置の第1の実施形態の回路構成図である。

【図2】

本発明の半導体記憶装置のメモリセルアレイのレイアウト図である。

【図3】

図2の一部の拡大図である。

【図4】

図3のA-A線拡大断面図である。

【図5】

図3のB-B線拡大断面図である。

【図6】

メモリセルの選択動作を説明するための図である。

【図7】

本発明の半導体記憶装置の第2の実施形態の回路構成図である。

【図8】

キャパシタコンタクト及びキャパシタのレイアウト図である。

【図9】

本発明の半導体記憶装置のメモリセルアレイの第2の実施形態のレイアウト図である。

【図10】

本発明が対象とするメモリセルの回路図である。

【図11】

従来の半導体記憶装置の一例のレイアウト図である。

【符号の説明】

MCA メモリセルアレイ

M メモリセル

C キャパシタ

Tr1, Tr2 トランジスタ (スイッチング素子)

W1, W2 ワード線

B1, B2 ビット線

XDEC1, XDEC2 行デコーダ

YDEC1, YDEC2 列デコーダ

SP1, SP2 センスアンプ・プリチャージ回路

XAdd 行アドレス

YAdd 列アドレス

100 半導体基板

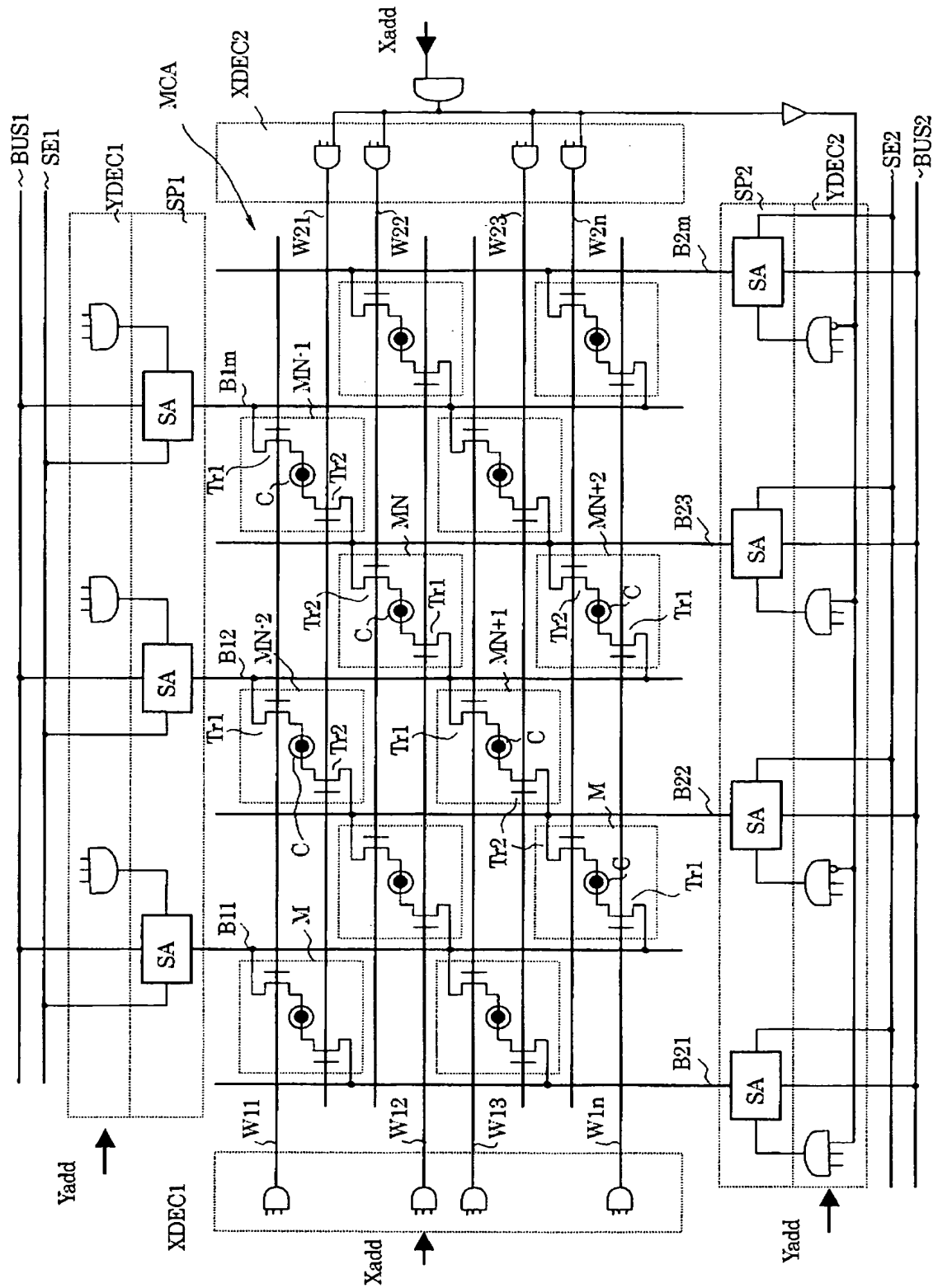
101 素子分離領域

102 活性領域

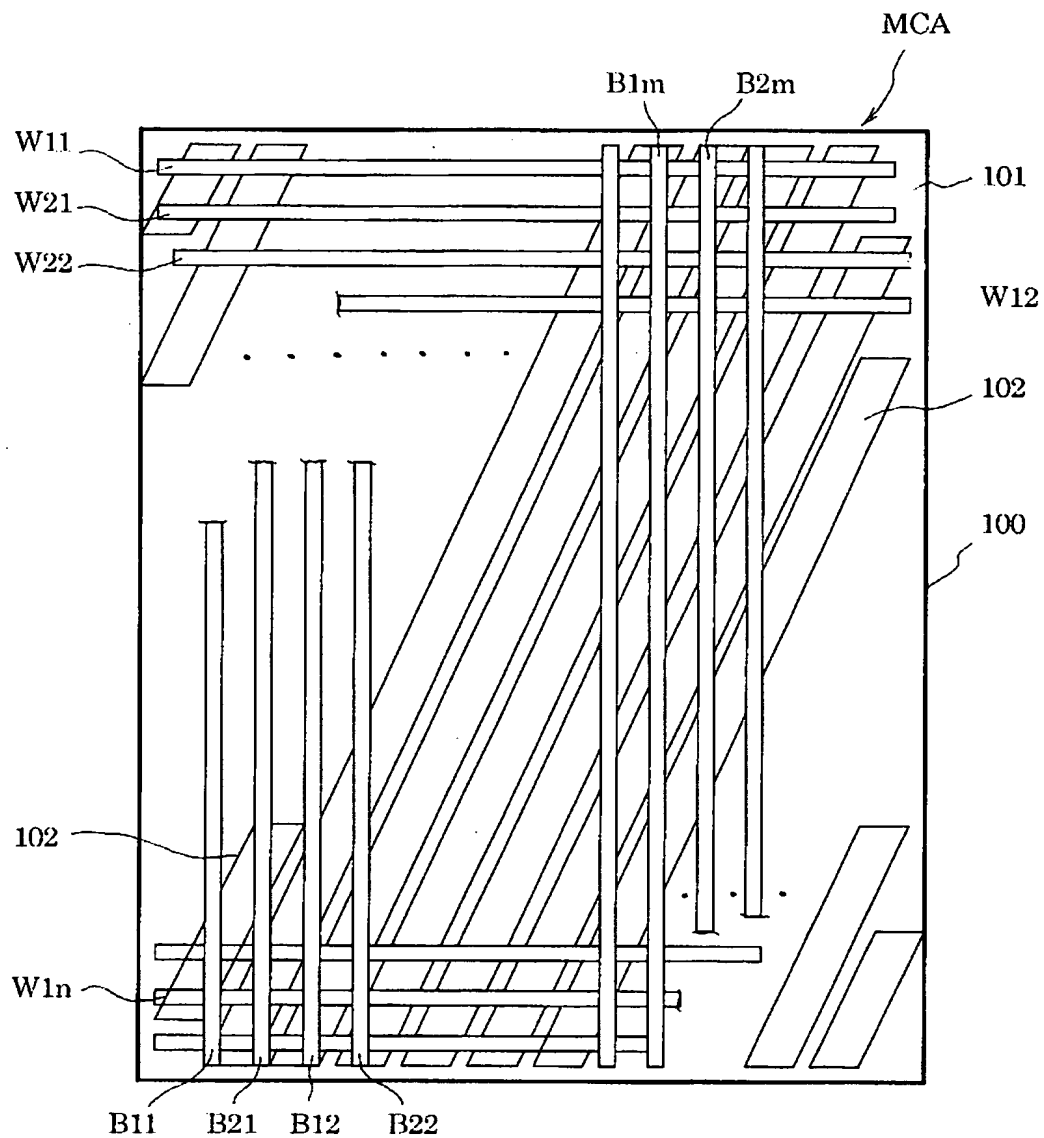
- 1 1 1 キャパシタコンタクト
- 1 1 2 キャパシタ下部電極
- 1 1 3 キャパシタ絶縁膜
- 1 1 4 キャパシタ共通電極
- 1 2 1, 1 2 2 ビット線コンタクト

【書類名】 図面

【図 1】

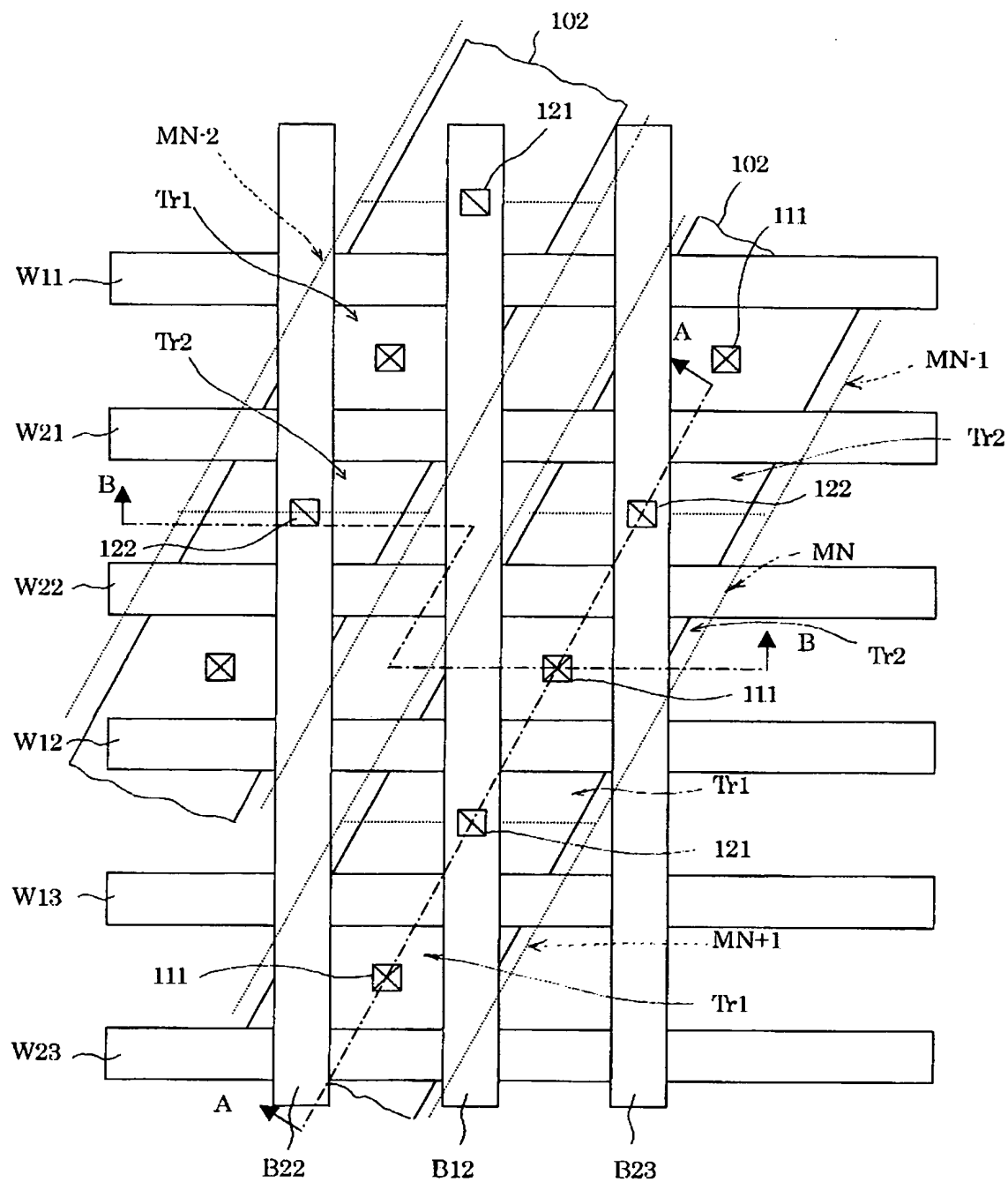


【図 2】

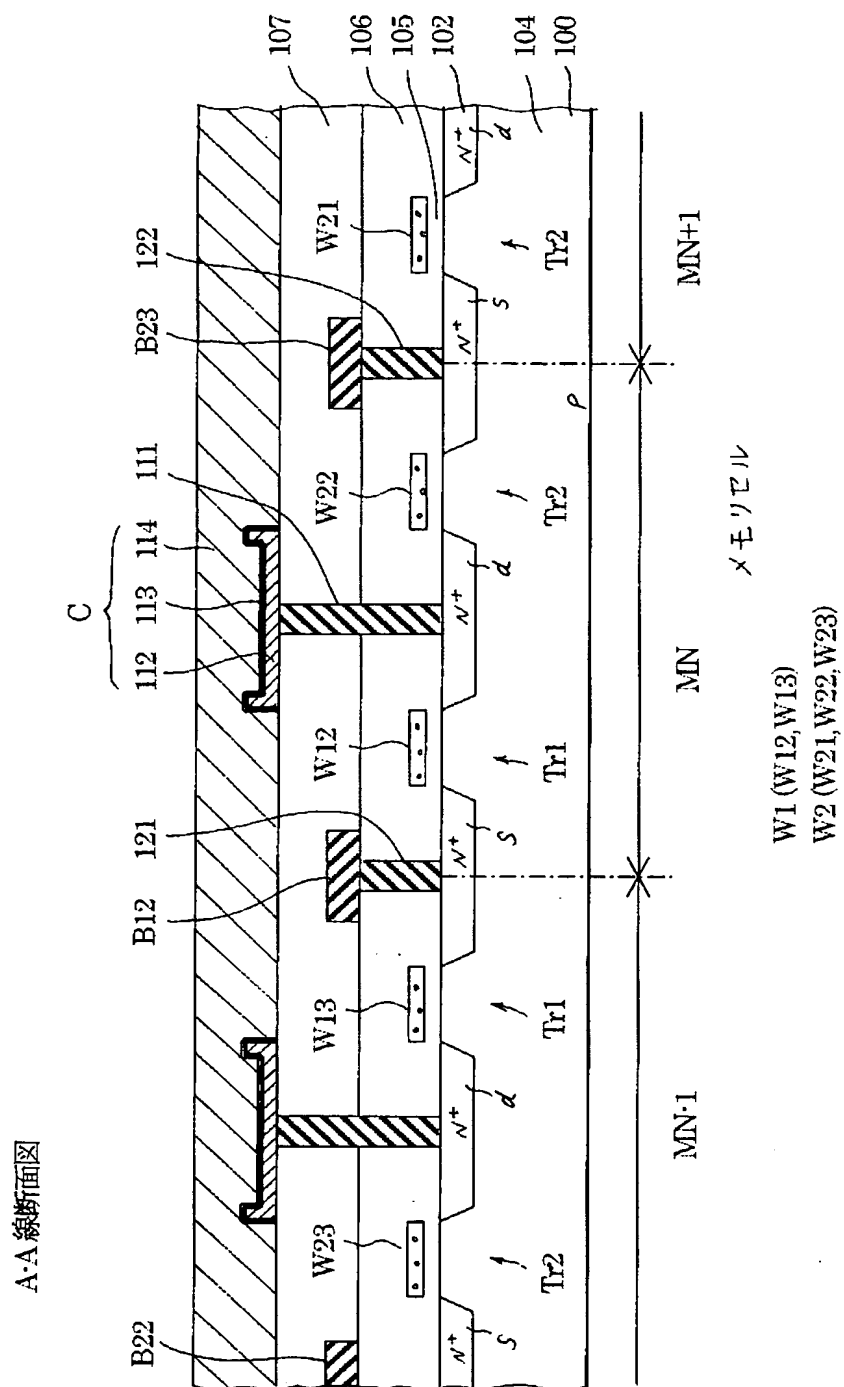


100:半導体基板
101:素子分離領域
102:活性領域

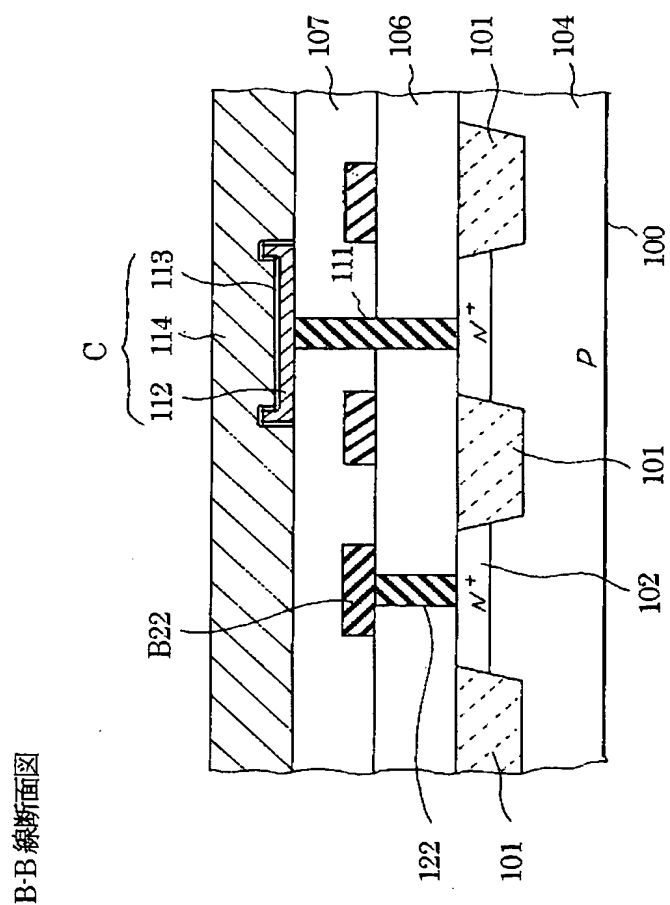
【図 3】



【図 4】



【図 5】




【図 6】

(a) データ書き込み時 (第1のXデコーダ, 第1のYデコーダ)

行アドレス信号 X A d d	列アドレス信号 Y A d d	選択された メモリセル	選択された ワード線	選択された ビット線
****0	*****	MN-2	W11	B12
****1	*****	MN	W12	B12
****0	*****	MN+1	W13	B12

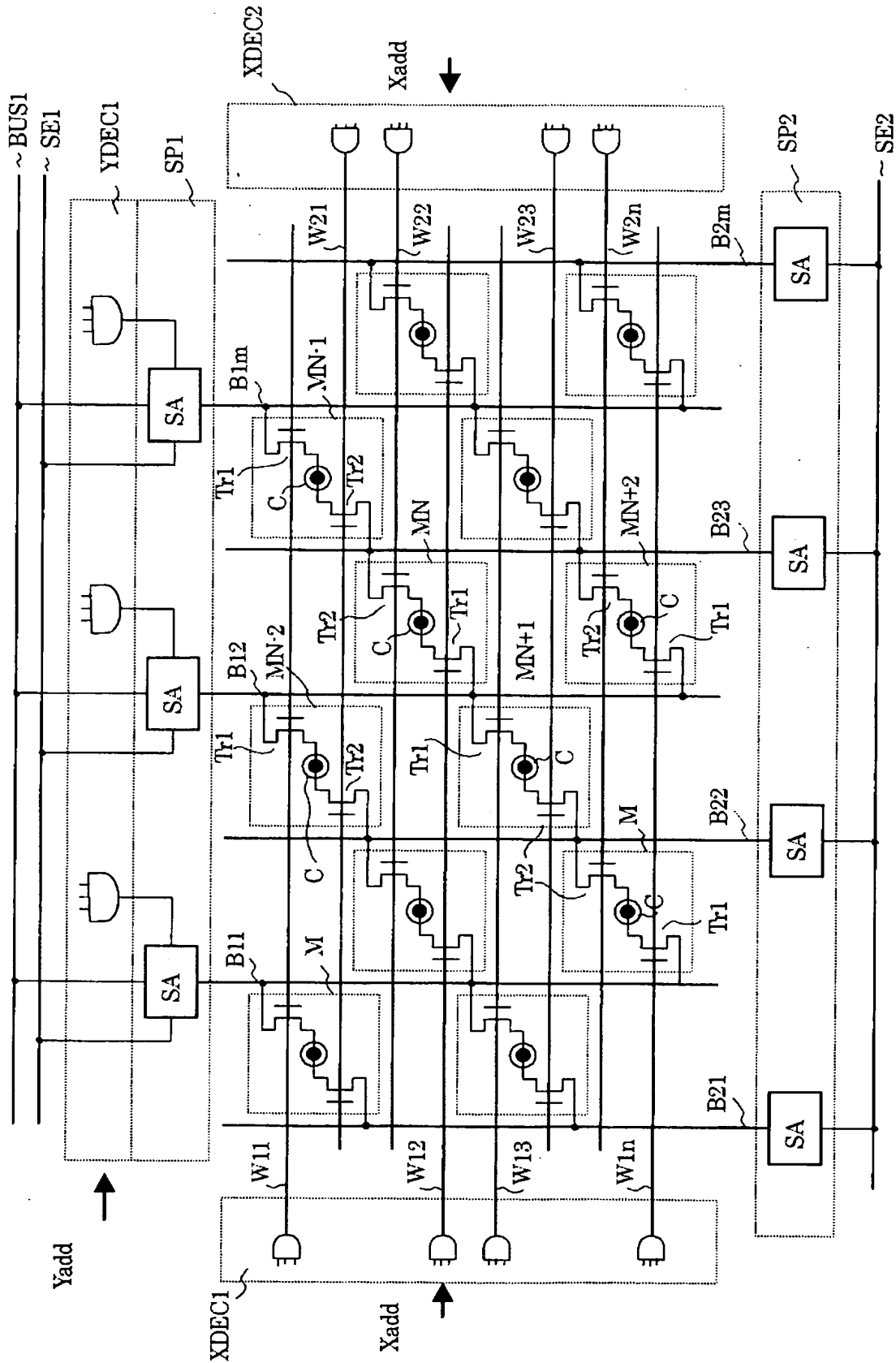
(b) データ読み出し時 (第2のXデコーダ, 第2のYデコーダ)

行アドレス信号 X A d d	列アドレス信号 Y A d d	選択された メモリセル	選択された ワード線	選択された ビット線
****0	****0	MN-2	W21	B22
****1	****1	MN	W22	B23
****0	****0	MN+1	W23	B22

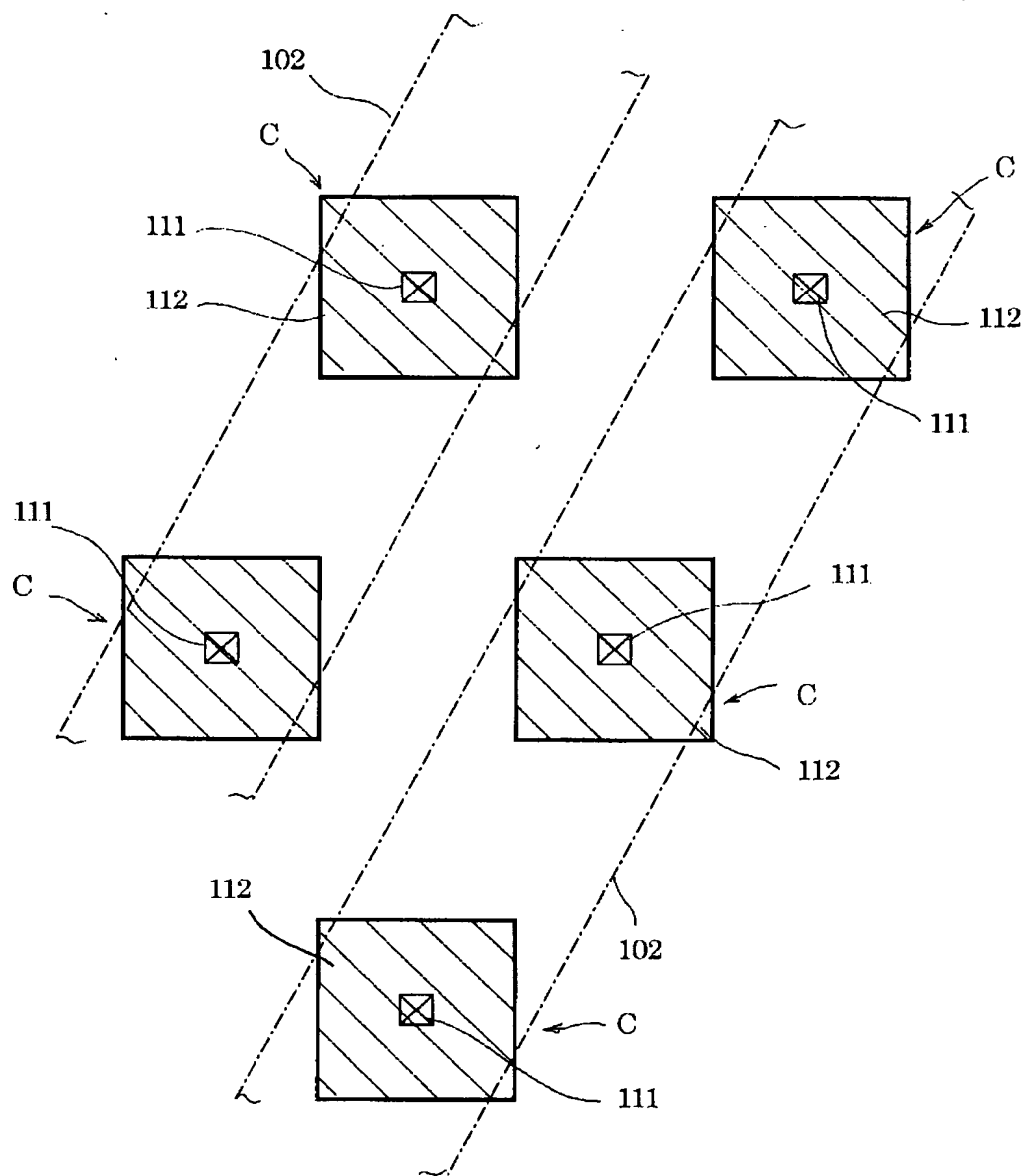


The diagram shows a feedback loop. A line from the selected bit line (B12) of the first decoder (a) connects to the selected bit line (B22) of the second decoder (b). This line then branches to connect to the selected bit lines (B22 and B23) of the second decoder.

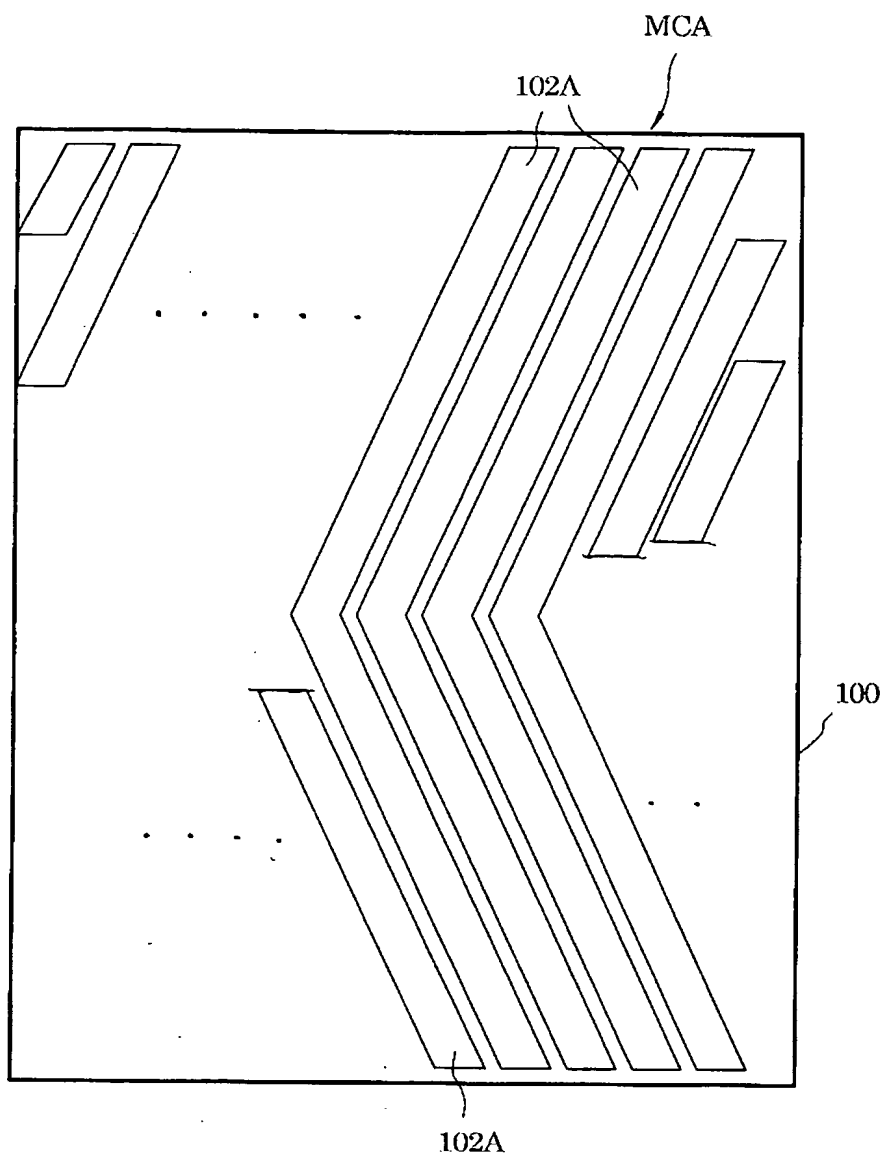
【図 7】



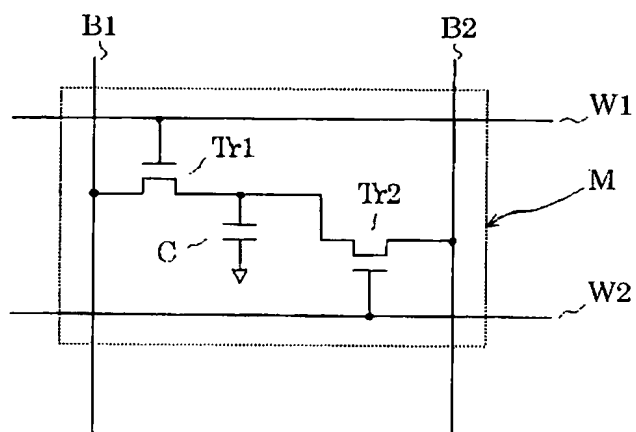
【図 8】



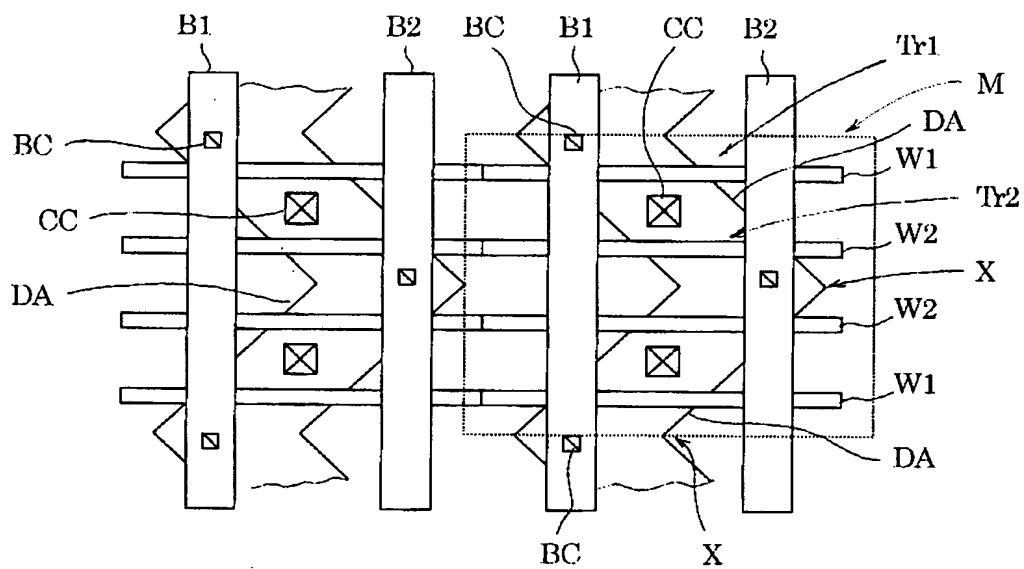
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 1つのメモリセルが容量と2つのスイッチング素子からなるメモリセルの微細化を図るとともに、メモリセルのデータ保持特性の改善を図る。

【解決手段】 1つのメモリセルMは、活性領域102内においてデータ蓄積用の容量に接続されるキャパシタコンタクト111を挟んで、その両側にそれぞれ第1及び第2のスイッチング素子Tr1, Tr2が配設され、その両外側に第1及び第2のビット線コンタクト121, 122が配設される。複数のメモリセルを直線状をした活性領域内に形成することで、活性領域に屈曲部が生じることを防止し、屈曲部が要因となるメモリセルの特性劣化を防止し、メモリセルの微細化を図るとともにデータ保持特性の改善を図る。

【選択図】 図3

特願 2 0 0 3 - 0 7 1 5 1 0

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 6 2 9 3 1]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社